

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-84027

(43) 公開日 平成8年(1996)3月26日

(51) Int.Cl.⁶

H 0 3 F

3/193

3/24

識別記号

庁内整理番号

8839-5 J

8839-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平6-219122

(22) 出願日 平成6年(1994)9月13日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 林 等

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 中津川 征士

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 村口 正弘

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74) 代理人

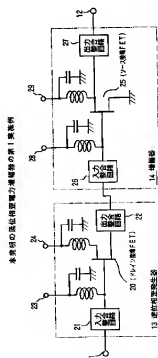
弁理士 古谷 史臣

(54) 【発明の名称】 低位相歪電力増幅器

(57) 【要約】

【目的】 特別な付加回路を用いずにFET増幅器の入力電力に対する位相変化が小さく、電力効率よく、モノリシックIC化が容易で低コストな低位相歪電力増幅器を実現する。

【構成】 増幅器として機能するソース接地FET（ドレイン接地FET）と、増幅作用のある逆位相歪発生器として機能するドレイン接地FET（ソース接地FET）とを組み合わせて構成する。



1

【特許請求の範囲】

【請求項1】 ソース接地FETを用いた増幅器の前段にドレイン接地FETを用いた逆位相変換器を接続したことを特徴とする低位相歪電力増幅器。

【請求項2】 ドレイン接地FETを用いた増幅器の前段にソース接地FETを用いた逆位相変換器を接続したことを特徴とする低位相歪電力増幅器。

【請求項3】 ソース接地FETを用いた増幅器の後段にドレイン接地FETを用いた逆位相変換器を接続したことを特徴とする低位相歪電力増幅器。

【請求項4】 ドレイン接地FETを用いた増幅器の後段にソース接地FETを用いた逆位相変換器を接続したことを特徴とする低位相歪電力増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば携帯電話機などの無線通信装置において、帯域制限されたデジタル信号の変調波を低位相歪で高効率に増幅する低位相歪電力増幅器に関する。

【0002】

【従来の技術】携帯電話機などに使用されている多値PSK変調デジタル方式の無線通信装置では、送信用電力増幅器の高出力・高効率化および低歪化が要求されている。無線通信装置の低歪化は、増幅器のA級動作により実現するのが簡単である。しかし、A級動作は、直流入力からマイクロ波出力への変換効率が悪い。そこで、高効率が要求される電池駆動の携帯電話機などではAB級動作が主流になっている。

【0003】ところが、AB級動作のFET増幅器では、入力電力に対する出力位相が大きく変化することがわかっていて、このような増幅器で多値PSK変調波を増幅すると出力信号スペクトラムが広がり、隣接チャネルへ妨害を与えてしまう。そこで、図8に示すように、FETを用いた電力増幅器31の前段にプリディストーション型の位相歪補償回路32を接続し、そこで逆方向の位相を発生させて位相歪を打ち消す構成が考えられている（小倉、「Si-バイポーラトランジスタを用いた簡易型リニアライザ」、1993年電子情報通信学会春季大会、No. C-73）。

【0004】この位相歪補償回路32は、レベル調整用アッテネータ33とSiバイポーラトランジスタを用いた逆位相変換器34により構成される。FETを用いた電力増幅器31は、入力電力の増加に伴って通過位相が進む特性を有する。一方、Siバイポーラトランジスタを用いた逆位相変換器34は入力電力の増加に伴って通過位相が遅れる特性であり、FETを用いた電力増幅器31で発生する位相歪と逆の位相歪をあらかじめ入力信号に与えて注入することにより不要な位相歪を打ち消す構成になっている。しかし、このような位相歪補償回路32はSiバイポーラトランジスタを用いているの

2

で、FETを用いた電力増幅器31とのモノリシックIC化が困難であった。

【0005】図9は、低位相歪化を図った従来の電力増幅器の構成を示す（特開平5-152877号）。図において、41は入力端子、42は出力端子、43はソース接地FET、44は入力整合回路、45は出力整合回路、46はFETのゲートバイアス端子、47はFETのドレインバイアス端子、48は非線形抵抗である。

【0006】本構成は、ソース接地FET増幅器の利得低下によるドレインコンダクタンスGdの増大により位相が進み、ドレイン・ゲート間コンダクタンスGdgの増大により位相が遅れることに着目したものである。すなわち、位相変化を打ち消すように端子電圧に応じて変化する非線形抵抗48をドレイン・ゲート間に挿入することにより、FET増幅器の位相変化を小さくする構成になっている。しかし、このような電力増幅器では、非線形抵抗48のような特別な制御素子を用いているので、最適なGdgを作りだすための調整が困難であり、さらにそれを能動的に制御するには特別な周辺回路が必要であった。

【0007】

【発明が解決しようとする課題】従来の電力増幅器において、位相歪を抑えるためにA級動作で使用する電力効率が悪くなる。また、AB級動作時の位相歪を補償するために従来の位相歪補償回路を付加すれば、モノリシックIC化が困難のために装置コストが高くなる。また、非線形抵抗を用いた構成においても、ドレイン・ゲート間に負帰還がかかるので利得が小さくなり、高出力・高効率化が望めなかった。

【0008】本発明は、特別な付加回路を用いずにFET増幅器の入力電力に対する位相変化が小さく、電力効率がよく、モノリシックIC化が容易で低コストな低位相歪電力増幅器を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の低位相歪電力増幅器は、増幅器として機能するソース接地FET（ドレイン接地FET）と、増幅作用のある逆位相変換器として機能するドレイン接地FET（ソース接地FET）とを組み合わせて構成する。

【0010】

【作用】本発明では、増幅作用のあるドレイン接地FET（ソース接地FET）を用いた逆位相変換器での位相遅れ（位相進み）と、ソース接地FET（ドレイン接地FET）を用いた増幅器での位相進み（位相遅れ）とを組み合わせてことにより、電力増幅器全体の位相歪を打ち消すことができる。

【0011】

【実施例】図1は、本発明の低位相歪電力増幅器の第1実施例の構成を示す（請求項1）。

【0012】図において、11は入力端子、12は出力

3

端子、13はドレイン接地FET20を用いた逆位相発生器、14はソース接地FET25を用いた増幅器であり、逆位相発生器13と増幅器14が縦続に接続される。21、26は入力整合回路、22、27は出力整合回路、23、28はゲートバイアス端子、24、29はドレインバイアス端子である。

【0013】なお、逆位相発生器13をソース接地FETを用いた構成とし、増幅器14をドレイン接地FETを用いた構成としてもよい（請求項2）。以下、図2～図6を参照して本構成の動作原理について説明する。

【0014】図2は、ソース接地FET増幅器とドレイン接地FET増幅器のAB級動作時の入出力特性を示す。矢印は1dB利得圧縮点を示す。一般に、ソース接地FET増幅器では入力電力の増加に伴って利得が低下するとともに、出力位相が進む方向に変化する。一方、ドレイン接地FET増幅器では入力電力の増加に伴って利得が低下するとともに、出力位相が遅れる方向に変化する。

$$i_1 = j\omega C_{gs} v_1$$

$$i_2 = (j\omega C_{ds} + G_d) v_2 + g_m v_1$$

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} j\omega C_{gs} & 0 \\ g_m & j\omega C_{ds} + G_d \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad \dots(3)$$

$$\begin{aligned} S_{21} &= \frac{-2g_m Z_0}{1 + (j\omega C_{ds} + G_d + j\omega C_{gs}) Z_0 + j\omega C_{gs} (j\omega C_{ds} + G_d) Z_0^2} \\ &= \frac{-2g_m Z_0}{1 + G_d Z_0 - \omega^2 C_{gs} C_{ds} Z_0^2 + j\omega Z_0 (C_{ds} + C_{gs} + G_d C_{gs} Z_0)} \end{aligned} \quad \dots(4)$$

【0018】となる。また、その位相は、

【0019】

$$\text{phase}(S_{21}) = \pi - \tan^{-1} \left\{ \frac{\omega Z_0 (C_{ds} + C_{gs} + G_d C_{gs} Z_0)}{1 + G_d Z_0 - \omega^2 C_{gs} C_{ds} Z_0^2} \right\} \quad \dots(5)$$

【0020】となる。ここで、

【0021】

$$f(G_d) = \frac{\omega Z_0 (C_{ds} + C_{gs} + G_d C_{gs} Z_0)}{1 + G_d Z_0 - \omega^2 C_{gs} C_{ds} Z_0^2} = \frac{C_d G_d + D}{A G_d + B} \quad \dots(6)$$

$$g(C_{gs}) = \frac{\omega Z_0 (C_{ds} + C_{gs} + G_d C_{gs} Z_0)}{1 + G_d Z_0 - \omega^2 C_{gs} C_{ds} Z_0^2} = \frac{G C_{gs} + H}{E C_{gs} + F} \quad \dots(7)$$

【0022】とおくと、

【0023】

$$AD - BC = \omega C_{ds} Z_0^2 (1 + \omega^2 C_{gs}^2 Z_0^2) \quad \dots(8)$$

$$EH - FG = -\omega Z_0 \{ (1 + G_d Z_0)^2 + \omega^2 C_{ds}^2 Z_0^2 \} \quad \dots(9)$$

$$AD - BC > 0 \iff \frac{\partial f(G_d)}{\partial G_d} < 0 \iff \frac{\partial \text{phase}(S_{21})}{\partial G_d} > 0 \quad \dots(10)$$

$$EH - FG < 0 \iff \frac{\partial f(C_{gs})}{\partial C_{gs}} > 0 \iff \frac{\partial \text{phase}(S_{21})}{\partial C_{gs}} < 0 \quad \dots(11)$$

【0024】が成り立つ。よって、ソース接地FETの場合には、

【0015】ここで、ソース接地FET増幅器とドレイン接地FET増幅器で位相歪が逆になる要因を解析的に説明する。図3は非線形FET等価回路を示す。非線形素子としては、 G_{dg} 、 C_{gs} 、 G_{gs} 、 G_d が考えられる。大信号領域すなわち飽和領域に達した場合には、ドレイン・ゲート間でブレイクダウン電流が流れ、ゲートのジョットキー接合において順方向リーク電流が流れるので、 G_{dg} および G_{gs} の増大により位相が変化する。一方、位相変化が生じはじめる初期段階では、 G_d および C_{gs} の増大が特に位相特性に影響を及ぼす。

【0016】次に、 G_d および C_{gs} の増大による位相変化について、図4に示す簡略化した等価回路を用いて説明する。図4(1)はソース接地FETの等価回路である。小信号解析を簡単にするために、大信号時にのみ影響を与える G_{dg} 、 C_{dg} 、 G_{gs} を省略する。ここでは、入出力インピーダンスを Z_0 とする。

【0017】

【数1】

$$\dots(1)$$

$$\dots(2)$$

$$\dots(3)$$

$$\dots(4)$$

$$\dots(5)$$

$$\dots(6)$$

$$\dots(7)$$

$$\dots(8)$$

$$\dots(9)$$

$$\dots(10)$$

$$\dots(11)$$

【数4】

$$\dots(8)$$

$$\dots(9)$$

$$\dots(10)$$

$$\dots(11)$$

G_d の増加に応じて位相が進む
 C_{gs} の増加に応じて位相が遅れる

5

6

ことがわかる。

【0025】次に、ドレイン接地FETについて説明する。図4(2)はドレイン接地FETの等価回路である。さらに、解析を簡単にするために、入出力間に直列に入

っており容量値が小さく位相変化にさほど影響を及ぼさないと考えられるCdsを省略する。

【0026】

【数5】

$$i_1 = j\omega C_{gs}(v_1 - v_2) \quad \dots(12)$$

$$i_1 + i_2 = -g_m(v_1 - v_2) + G_d v_2 \quad \dots(13)$$

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} j\omega C_{gs} & -j\omega C_{gs} \\ -g_m - j\omega C_{gs} & g_m + G_d + j\omega C_{gs} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad \dots(14)$$

$$S_{21} = \frac{2(g_m + j\omega C_{gs})Z_0}{1 + (g_m + G_d + 2j\omega C_{gs})Z_0 + j\omega C_{gs}G_d Z_0^2}$$

$$S_{22} = \frac{2(g_m + j\omega C_{gs})Z_0}{1 + (g_m + G_d)Z_0 + j\omega C_{gs}Z_0(2 + G_d Z_0)} \quad \dots(15)$$

【0027】となる。また、その位相は、

【数6】

【0028】

$$\begin{aligned} \text{phase}(S_{21}) \\ = \tan^{-1} \left[\frac{\omega C_{gs}(1 - g_m Z_0)(1 + G_d Z_0)}{G_d Z_0(g_m + \omega^2 C_{gs}^2 Z_0) + 2\omega^2 C_{gs}^2 Z_0 + g_m(1 + g_m Z_0)} \right] \end{aligned} \quad \dots(16)$$

【0029】となる。ここで、

【数7】

【0030】

$$\begin{aligned} f(G_d) &= \frac{1 + G_d Z_0}{G_d Z_0(g_m + \omega^2 C_{gs}^2 Z_0) + 2\omega^2 C_{gs}^2 Z_0 + g_m(1 + g_m Z_0)} \\ &= \frac{C_{gs}G_d + D}{A G_d + B} \end{aligned} \quad \dots(17)$$

$$\begin{aligned} g(C_{gs}) &= \frac{C_{gs}}{G_d Z_0 + 2\omega^2 C_{gs}^2 Z_0 + g_m(G_d Z_0 + 1 + g_m Z_0)} \\ &= \frac{C_{gs}}{E C_{gs}^2 + F} \end{aligned} \quad \dots(18)$$

【0031】とおくと、

【数8】

【0032】

$$AD - BC = -Z_0^2(\omega^2 C_{gs}^2 + g_m^2) < 0 \iff \frac{\partial f(G_d)}{\partial G_d} > 0 \quad \dots(19)$$

$$1 - g_m Z_0 \geq 0 \iff \frac{\partial \text{phase}(S_{21})}{\partial G_d} \geq 0 \quad \dots(20)$$

【0033】が成り立つ。また、

【数9】

【0034】

$$\frac{\partial g(C_{gs})}{\partial C_{gs}} = \frac{F(1 - E C_{gs}^2/F)}{(E C_{gs}^2 + F)^2} \quad \dots(21)$$

【0035】であるので、 $1 - g_m Z_0 < 0$ のとき、

【数10】

【0036】

$$\begin{aligned} 1 - E C_{gs}^2/F &= 1 - \frac{(G_d Z_0 + 2)\omega^2 C_{gs}^2 Z_0}{g_m(G_d Z_0 + 1 + g_m Z_0)} \\ &> 1 - \omega^2 C_{gs}^2 Z_0^2 = (1 + \omega C_{gs} Z_0)(1 - \omega C_{gs} Z_0) \end{aligned} \quad \dots(22)$$

【0037】となる。ここで、 $f = 1.9\text{GHz}$ 、 $C_{gs} = 1 - \omega C_{gs} Z_0 = 1 - 2\pi \times 1.9 \times 10^9 \times 1.1 \times 10^{-12} \times 50 \approx 1.1\text{pF}$ 、 $Z_0 = 50\Omega$ のときに、 $50 \quad 0.4 > 0$

となるので、

【0038】

$$\frac{\partial g(C_{gs})}{\partial C_{gs}} > 0 \quad \Leftrightarrow \quad \frac{\partial \text{phase}(S_{21})}{\partial C_{gs}} < 0 \quad \cdots(23)$$

【0039】が成り立つ。よって、ドレイン接地FETの場合には、 $1 - g_m Z_0 < 0$ のとき、

G_d の増加に応じて位相が遅れる

C_{gs} の増加に応じて位相が遅れる

ことがわかる。

【0040】以上のことから、 G_d がソース接地FETとドレイン接地FETで位相の進み遅れが逆になる主な要因であることがわかる。図5は、ソース接地FETとドレイン接地FETのゲート電圧 V_{gs} に対する位相特性を示す。パイアス点を飽和電流値 I_{dss} の $1/2$ から $1/10$ まで変化させ、1dB利得圧縮点での位相を比較している。ソース接地FETでは、 $I_{dss}/4$ 付近で位相変化が小さく、 $I_{dss}/10$ 付近に近くなると位相が大きく進む。一方、ドレイン接地FETでは、 $I_{dss}/2$ 付近で位相が遅れ、 $I_{dss}/10$ 付近に近くなると位相変化が小さくなる。したがって、ソース接地FETでは動作点を $I_{dss}/4$ 付近に設定し、ドレイン接地FETでは動作点を $I_{dss}/10$ 付近に設定すると位相歪を低減できる。すなわち、半体での位相特性の改善には、ソース接地FETでは動作点を $I_{dss}/4$ 付近に設定し、ドレイン接地FETでは動作点を $I_{dss}/10$ 付近に設定すればよい。

【0041】このように、ソース接地FETとドレイン接地FETの位相変化は互いに逆特性になるので、ドレイン接地FETとソース接地FETを継続に接続し、動作点を適切に設定すれば、図6に示すように互いの位相歪を補償することができる。

【0042】なお、図6は、前段にドレイン接地FETを用いた逆位相発生器を配置し、後段にソース接地FETを用いた増幅器を配置した構成の位相変化—入力電力特性を示し、 ΔP は前段ドレイン接地FETの利得分による位相変化のずれを示す。

【0043】したがって、図1に示す構成のように、ドレイン接地FETを用いた逆位相発生器13とソース接地FETを用いた増幅器14を組み合わせ、各段ごとの動作点を最適化することにより、電力増幅器全体で位相歪を補償することができる。この構成では、ともに増幅作用のあるFETを組み合わせているので、電力効率が高かつモノリシックIC化が容易である。なお、ドレイン接地FETおよびソース接地FETを3段以上の多段構成としても、同様に低位相歪電力増幅器を実現することができる。

【0044】図7は、本発明の低位相歪電力増幅器の第2実施例の構成を示す（請求項3）。図において、11は入力端子、12は出力端子、13はドレイン接地FET20を用いた逆位相発生器、14はソース接地FET25を用いた増幅器であり、増幅器14と逆位相発

【数11】

生器13が継続に接続される。

【0045】なお、増幅器14をドレイン接地FETを用いた構成とし、逆位相発生器13をソース接地FETを用いた構成としてもよい（請求項4）。本実施例の構成においても、第1実施例と同様に、ソース接地FETとドレイン接地FETの位相変化は互いに逆特性になる。したがって、ソース接地FETを用いた増幅器とドレイン接地FETを用いた逆位相発生器を継続に接続し、動作点を適切に設定することにより互いの位相歪を補償することができる。すなわち、電力増幅器全体で位相歪を補償することができる。この構成では、ともに増幅作用のあるFETを組み合わせているので、電力効率が高かつモノリシックIC化が容易である。なお、ソース接地FETおよびドレイン接地FETを3段以上の多段構成としても、同様に低位相歪電力増幅器を実現することができる。

【0046】なお、以上示した回路構成は、飽和領域で動作する電力増幅器だけでなく、大きな位相変化が問題となる振幅制限回路などにも適用可能である。

【0047】

【発明の効果】以上説明したように、本発明の低位相歪電力増幅器は、ソース接地FETとドレイン接地FETとを組み合わせていることにより、増幅器全体の位相歪を打ち消して低位相歪化を実現することができる。これにより、多値PSK変調波の増幅時に出力端子におけるスペクトラムの広がり小さくでき、隣接チャネルに及ぼす影響を小さくすることができる。

【0048】また、各FETを同一基板上に作製することができるので、電力増幅器全体のモノリシックIC化が極めて容易になり、コストを低減することができる。また、位相歪を抑えることで増幅器のバックオフを小さくして飽和領域付近での動作が可能となり、使用時の電力効率を高めることができる。

【図面の簡単な説明】

【図1】本発明の低位相歪電力増幅器の第1実施例の構成を示す図。

【図2】ソース接地FET増幅器とドレイン接地FET増幅器の入出力特性を示す図。

【図3】非線形FET等価回路を示す図。

【図4】ソース接地FETおよびドレイン接地FETの等価回路を示す図。

【図5】ソース接地FETとドレイン接地FETのゲート電圧 V_{gs} に対する位相特性を示す図。

【図6】前段ドレイン接地FET、後段ソース接地FET構成の位相変化—入力電力特性を示す図。

【図7】本発明の低位相歪電力増幅器の第2実施例の構

成を示す図。

【図8】低歪化を図った従来の電力増幅器の構成を示す図。

【図9】低歪化を図った従来の電力増幅器の構成を示す図。

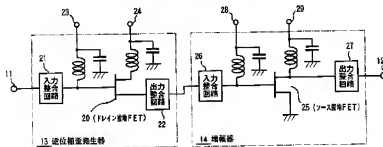
【符号の説明】

- 11 入力端子
- 12 出力端子
- 13 逆位相発生器
- 14 増幅器
- 20 ドレイン接地FET
- 21, 26 入力整合回路
- 22, 27 出力整合回路
- 23, 28 ゲートバイアス端子

- 24, 29 ドレインバイアス端子
- 25 ソース接地FET
- 31 電力増幅器
- 32 位相補償回路
- 33 レベル調整用アッテネータ
- 34 逆位相発生器
- 41 入力端子
- 42 出力端子
- 43 ソース接地FET
- 44 入力整合回路
- 45 出力整合回路
- 46 ゲートバイアス端子
- 47 ドレインバイアス端子
- 48 非線形抵抗

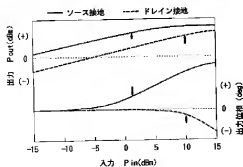
【図1】

本発明の低位相歪電力増幅器の第1実施例



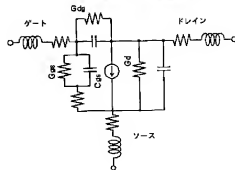
【図2】

ソース接地FET増幅器とドレイン接地FET増幅器の入出力特性



【図3】

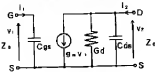
非線形FET等価回路



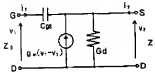
【図4】

ソース接地FETおよびドレイン接地FETの等価回路

(1) ソース接地FET等価回路

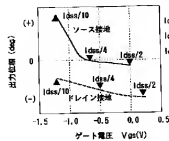


(2) ドレイン接地FET等価回路



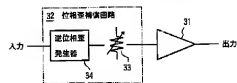
【図5】

ソース接地FETとドレイン接地FETのゲート電圧 \$V_{gs}\$ に対する位相特性



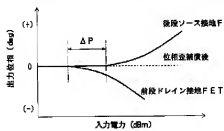
【図8】

低歪化を図った従来の電力増幅器



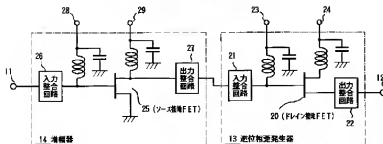
【図6】

前段ドレイン接地FET、後段ソース接地FET構成の位相変入-入力電力特性



【図7】

本発明の低位相歪電力増幅器の第2実施例



【図 9】

振盪化を図った従来の電力増幅器

